

## (12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2004年11月11日 (11.11.2004)

PCT

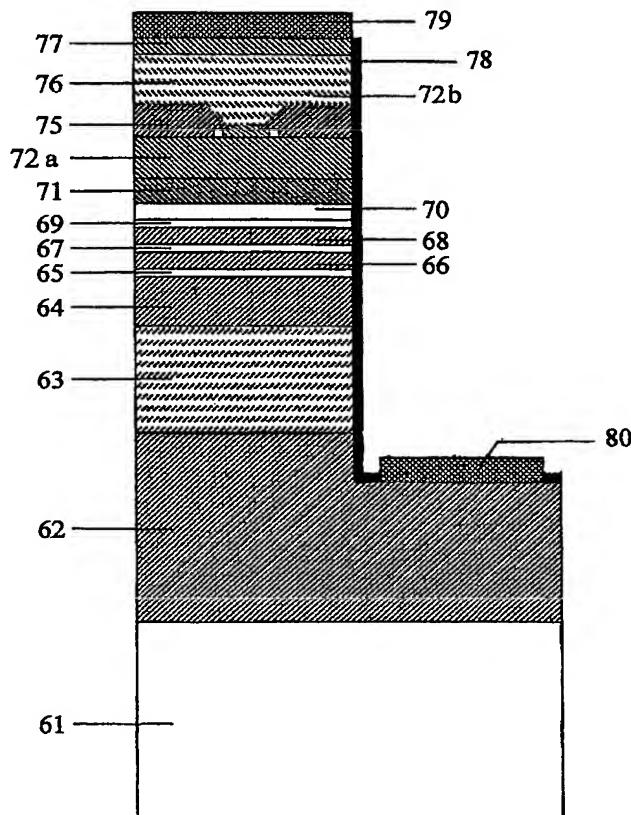
(10) 国際公開番号  
WO 2004/098007 A1

(51) 国際特許分類<sup>7</sup>: H01S 5/323  
 (21) 国際出願番号: PCT/JP2004/004974  
 (22) 国際出願日: 2004年4月6日 (06.04.2004)  
 (25) 国際出願の言語: 日本語  
 (26) 国際公開の言語: 日本語  
 (30) 優先権データ:  
 特願2003-124044 2003年4月28日 (28.04.2003) JP  
 (71) 出願人(米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).  
 (72) 発明者: および  
 (75) 発明者/出願人(米国についてのみ): 長谷川 義見  
 (HASEGAWA, Yoshiaki). 横川 俊哉 (YOKOGAWA, Toshiya). 山田 篤志 (YAMADA, Atsushi).  
 (74) 代理人: 奥田 誠司 (OKUDA, Seiji); 〒5400038 大阪府大阪市中央区内淡路町一丁目3番6号片岡ビル2階  
 奥田国際特許事務所 Osaka (JP).  
 (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.  
 (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG,

[続葉有]

(54) Title: SEMICONDUCTOR LIGHT-EMITTING DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体発光素子およびその製造方法



(57) **Abstract:** A method for manufacturing a semiconductor light-emitting device is disclosed which comprises a step (A) wherein a stripe-patterned mask layer is formed on a first III-V compound semiconductor, a step (B) wherein a second III-V compound semiconductor is selectively grown on regions of the first III-V compound semiconductor surface which are not covered by the mask layer, thereby forming a current-narrowing layer having a stripe-patterned opening portion which is defined by the mask layer, a step (C) wherein the mask layer is selectively removed, and a step (D) wherein a third III-V compound semiconductor is grown so that it covers the surface of the first III-V compound semiconductor exposed through the stripe-patterned opening portion and the surface of the current-narrowing layer.

(57) **要約:** 本発明による半導体発光素子の製造方法は、ストライプ状のマスク層を第1のIII-V族化合物半導体上に形成する工程(A)と、第1のIII-V族化合物半導体の表面のうち前記マスク層で覆われていない領域上に第2のIII-V族化合物半導体を選択的に成長させることにより、前記マスク層によって規定されるストライプ状開口部を有する電流狭窄層を形成する工程(B)と、マスク層を選択的に除去する工程(C)と、ストライプ状開口部を介して露出する前記第1のIII-V族化合物半導体の表面、および前記電流狭窄層の表面を覆う第3のIII-V族化合物半導体を成長させる工程(D)とを含む。



KZ, MD, RU, TJ, TM), ヨーロッパ(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:  
— 国際調査報告書

## 明細書

## 半導体発光素子およびその製造方法

技術分野

5 本発明は、窒化物系Ⅲ-V族化合物半導体発光素子に関し、特に、青紫光から紫外光に及ぶ短波長領域の半導体発光素子およびその製造方法に関する。

背景技術

10 光ディスクの記録容量を拡大するためには、データの読み出し/書き込みに必要なレーザ光の波長を短くすることが求められる。現在普及しているDVDのプレーヤやレコーダでは、波長660nm帯の赤色半導体レーザが広く用いられており、この赤色半導体レーザは、例えばInGaAlP系化合物半導体をGaN基板上にエピタキシャル成長させることによって製造される。

15 近年、DVDよりも記録容量を拡大するため、次世代の光ディスクが活発に開発されている。そのような次世代光ディスク用の光源としては、赤色の光よりも波長が更に短い青紫色レーザ光（波長400nm帯）を安定に放射することが要求される。波長400nm帯のGaN系半導体レーザは、Blue-ray Disc（商標）などの次世代光ディスクの記録再生用光源として最も期待されているが、実用化のために解決しなければならない幾つかの課題を有している。

GaN系半導体レーザの電流一光出力特性曲線には、高光出力領域においてキンクが発生しないことが求められる。電流一光出力特性曲線上のキンクは、レーザの水平横モードが不安定であるために発生する。したがって、水平横モードを安定化できるレーザ構造の実現が望まれている。  
5

一方、GaN系半導体は、強固な結晶から構成され、化学的にも安定するために、ウエットエッチング技術による加工が困難である。したがって、水平横モードの制御に必要となるリッジ構造の形成は、ドライエッチングでGaN系半導体層を加工することによって行なわれる。ドライエッチングによってリッジ構造を形成したGaN系レーザの室温連続発振が報告されている (IEEE Journal of Selected Topics in Quantum Electronics, Vol. 4 (1998) 483-489、およびJapanese Journal of Applied Physics, Vol. 41 (2002) 115 829-1833)。

しかしながら、ドライエッチングによるGaN系半導体の微細加工は制御性に乏しいため、基板面内での均一な深さでエッチングを行なうようにプロセスを制御することが難しい。基板上の位置に応じてエッチング深さが変化すると、同じ基板から作製した複数の半導体レーザにおいて、水平横モードが安定化せず、電流一光出力特性曲線にキンクが発生する素子が生じる可能性がある。また、基板面内のみならず、ロット処理ごとのプロセス再現性も低下する。こ  
20

れらのことは、GaN系レーザの製造歩留りを低下させ、製造コストの高騰を招くことになる。

最近、GaN系レーザのリッジ構造を選択再成長によって形成する技術が提案された (Japanese Journal of Applied Physics, Vol. 40 (2001) L 925-L 927)。この文献に提案されている方法によれば、活性層上に何層かの半導体層を形成した後、リッジ構造を形成すべき領域以外の領域を二酸化珪素 ( $SiO_2$ ) 膜で覆う。その後、2回目の結晶成長を行うことにより、 $SiO_2$ 膜で覆われていない領域上に半導体層を選択的に再成長させ、リッジ構造を形成する。この方法によれば、半導体層をドライエッチングによって加工することなくリッジ構造を形成できるため、均一性および再現性に優れた製造方法が提供される。さらに、ドライエッチングによる活性層へのダメージを回避することができるという利点もある。

しかしながら、このような選択再成長技術による場合、マスクとなる  $SiO_2$  膜上に多くのGaN系多結晶 (ポリ構造) が析出することを避けるのが困難である。このために、レーザの光出力を高めたときの放熱性を改善するためにジャンクションダウン配置でレーザ素子を実装すると、ヒートシンクまたはサブマウントに対する密着性が低下し、固定不良等の不具合が生じる。

さらに、リッジ構造が形成される領域以外の結晶表面が  $SiO_2$  膜で覆われているために、熱伝導・放熱性が悪く、レーザ寿命が短くなるという欠点がある。

本発明は、上記事情を鑑みてなされたものであり、本発明の主たる目的は、電流狭窄のためのリッジ構造を必要としない新規な電流狭搾構造を備えた半導体発光素子を提供することにある。

また、本発明の他の目的は、水平横モード制御と放熱性に優れ、  
5 高光出力動作でのキンクフリーと長寿命化を実現する半導体発光素子を提供することにある。

本発明の更に他の目的は、上記の半導体発光素子を高歩留り且つ低コストで製造する方法を提供することにある。

10

### 発明の開示

本発明の半導体発光素子は、第1のⅢ-V族化合物半導体と、前記第1のⅢ-V族化合物半導体の表面における選択された領域上に成長した第2のⅢ-V族化合物半導体から形成され、共振器長方向に延びるストライプ状開口部を有する電流狭窄層と、前記ストライプ状開口部を介して露出する前記第1のⅢ-V族化合物半導体の表面、および前記電流狭窄層の表面を覆う第3のⅢ-V族化合物半導体とを備えている。  
15

好ましい実施形態において、前記電流狭窄層は、前記ストライプ状開口部に向かってオーバーハングする一対の突出部を有している。

20 好ましい実施形態において、前記一対の突出部の各々と前記第1のⅢ-V族化合物半導体の前記表面の一部との間には空隙部が形成されている。

好ましい実施形態において、前記空隙部は、10nm以上の

高さと、O. 1  $\mu$  m以上の幅を有している。

好ましい実施形態において、前記第3のⅢ—V族化合物半導体のうち、前記ストライプ状開口部を介して前記第1のⅢ—V族化合物半導体の表面と接触する部分の幅は、O. 5  $\mu$  m以上  
5 3  $\mu$  m以下である。

好ましい実施形態において、前記第1のⅢ—V族化合物半導体は、活性層を含む積層構造を有している、請求項1から4のいずれかに記載の半導体発光素子。

好ましい実施形態において、前記Ⅲ—V族化合物半導体は、窒化  
10 ガリウム系である。

好ましい実施形態において、前記電流狭窄層は、アルミニウムを含有する窒化ガリウムの層を含んでおり、前記電流狭窄層の厚さは、O. 1  $\mu$  m以上O. 5  $\mu$  m以下である。

好ましい実施形態において、前記第2のⅢ—V族化合物半導体の電気的導電型は、前記第1のⅢ—V族化合物半導体の電気的導電型  
15 とは反対である。

好ましい実施形態において、前記第3のⅢ—V族化合物半導体の電気的導電型は、前記第1のⅢ—V族化合物半導体の電気的導電型と同じである。

20 好ましい実施形態において、前記第2のⅢ—V族化合物半導体の電気的導電型は、n型である。

本発明による半導体発光素子の製造方法は、ストライプ状のマスク層を第1のⅢ—V族化合物半導体上に形成する工程(A)と、前

記第1のⅢ-V族化合物半導体の表面のうち前記マスク層で覆われていない領域上に第2のⅢ-V族化合物半導体を選択的に成長させることにより、前記マスク層によって規定されるストライプ状開口部を有する電流狭窄層を形成する工程（B）と、前記マスク層を選択的に除去する工程（C）と、前記ストライプ状開口部を介して露出する前記第1のⅢ-V族化合物半導体の表面、および前記電流狭窄層の表面を覆う第3のⅢ-V族化合物半導体を成長させる工程（D）とを備えている。  
5

好ましい実施形態において、前記工程（B）は、前記第2のⅢ-V族化合物半導体を前記マスク層の中央部に向かって横方向に成長させ、それによって前記電流狭窄層に一対の突出部を形成することを含む。  
10

好ましい実施形態において、前記工程（C）は、前記マスク層のうち前記電流狭窄層の突出部の下方に位置する部分を除去し、前記突出部を前記ストライプ状開口部に向かってオーバーハングさせることを含む。  
15

好ましい実施形態において、前記工程（D）は、前記第1のⅢ-V族化合物半導体と前記突出部との間に空隙部を形成することを含む。  
20

好ましい実施形態において、前記マスク層の幅を0.5μm以上3μm以下に設定し、かつ、前記第3のⅢ-V族化合物半導体のうち、前記ストライプ状開口部を介して前記第1のⅢ-V族化合物半

導体の表面と接触する部分の幅を〇. 5  $\mu\text{m}$ 以上3  $\mu\text{m}$ 以下に設定する。

好ましい実施形態において、前記第1のⅢ—V族化合物半導体は、活性層を含む積層構造を有している。

5 好ましい実施形態において、前記Ⅲ—V族化合物半導体は、窒化ガリウム系である。

好ましい実施形態において、前記電流狭窄層は、アルミニウムを含有する窒化ガリウムの層を含んでおり、前記電流狭窄層の厚さは、〇. 1  $\mu\text{m}$ 以上〇. 5  $\mu\text{m}$ 以下である。

10

#### 図面の簡単な説明

図1は、本発明による半導体レーザの構成を示す断面図である。

図2から図10は、図1の半導体レーザの製造方法を示す工程断面図である。

15 図11は、従来の半導体レーザ（比較例1）の構造を示す断面図である。

図12から図15は、図11の半導体レーザの製造方法を示す工程断面図である。

図16は、半導体レーザの比較例2の構成を示す断面図である。

20 図17は、半導体レーザの比較例3の構成を示す断面図である。

図18は、本発明の実施形態における電流—光出力特性を示すグラフである。

図19は、比較例1における電流一光出力特性を示すグラフである。

図20は、比較例2における電流一光出力特性を示すグラフである。

5 図21(a)から(c)は、電流狭窄層75のストライプ状開口部の断面を示す図面であり、図21(a)は、第2光ガイド層72bを形成する前における段階を示し、図21(b)は、第2光ガイド層72bを形成する途中の段階を示し、図21(c)は、第2光ガイド層72bを形成し終えた後の段階を示している。

10

#### 発明を実施するための最良の形態

以下、図面を参照しながら、本発明の実施形態を説明する。

まず、図1を参照する。図1は、本実施形態に係るGaN系半導体レーザの断面を示している。この半導体レーザは、(0001)面を正面とするサファイア基板61と、この基板61上に設けられた半導体積層構造と、電極79、80とを有している。この積層構造は、基板61に近い側から順番に、以下の表1に示す構成層を含んでいる。

20

[表1]

構成層	厚さ [nm]	組成	不純物：濃度 [cm <sup>-3</sup> ]
低温バッファ層	約20	GaN	
コンタクト層62	約4000	n型GaN	Si: 約1×10 <sup>18</sup>
クラッド層63	約700	n型Al <sub>0.07</sub> Ga <sub>0.93</sub> N	Si: 5×10 <sup>17</sup>
第1光ガイド層64	約120	n型GaN	Si: 約1×10 <sup>18</sup>
活性層 65、67、69	量子井戸 約3	In <sub>0.1</sub> Ga <sub>0.9</sub> N	
	バリア層 約9	GaN	
キャップ層70	約50	GaN	
キャップ層71	約20	p型 Al <sub>0.18</sub> Ga <sub>0.82</sub> N	Mg: 5×10 <sup>17</sup>
第2光ガイド層72a	約120	p型 GaN	Mg: 1×10 <sup>18</sup>
電流狭窄層75	約200	n型 Al <sub>0.04</sub> Ga <sub>0.96</sub> N	Si: 5×10 <sup>17</sup>
第2光ガイド層72b	約20	p型 GaN	Mg: 1×10 <sup>18</sup>
クラッド層76	約700	p型Al <sub>0.07</sub> Ga <sub>0.93</sub> N	Mg: 5×10 <sup>17</sup>
コンタクト層77	約100	p型GaN	Mg: 1×10 <sup>18</sup>

p型電極79は、ニッケル(Ni)、白金(Pt)、および金(Au)から形成され、積層構造の最上層に位置するp型コンタクト層77上に設けられている。一方、n型電極80は、チタン(Ti)およびアルミニウム(Al)から形成され、n型コンタクト層62上に設けられている。p型電極79とn型電極80とは、二酸化ケイ素(SiO<sub>2</sub>)から形成された絶縁膜78によって電気的に分離されている。

上記の各半導体層の詳細な構成や機能については、図1の半導体レーザの製造方法を説明しながら言及することとする。

以下、本実施形態の半導体レーザの好ましい製造方法の実施形態を説明する。

5 まず、図1に示す層62～72aを基板61上に積層する。より具体的には、まず(0001)面を正面とするサファイア基板61を用意し、酸溶液を用いて基板61の洗浄を行なう。洗浄した基板61を有機金属気相成長(MOVPE)装置(図示せず)の反応炉内のサセプタに保持し、反応炉を真空排気する。

10 続いて、圧力が300Torrの水素雰囲気で反応炉内を満たし、反応炉の温度を約1100°Cにまで上昇させ、基板61を加熱することにより、基板61の表面に対するサーマルクリーニングを約10分間行なう。

15 反応炉の温度を約500°Cにまで低下させた後、基板61の正面に、供給量7sccmのトリメチルガリウム(TMG)と、供給量が7.5s1mのアンモニア(NH<sub>3</sub>)ガスと、キャリアガスとして水素とを同時に供給する。こうして、厚さ約20nmのGaNの低温バッファ層(図示せず)を成長する。

20 続いて、反応炉の温度を約1000°Cに上昇させ、n型ドーパントとしてシラン(SiH<sub>4</sub>)ガスも反応炉内に供給する。こうして、厚さ約4μmでSi不純物濃度が約1×10<sup>18</sup>cm<sup>-3</sup>のn型GaNからなるn型コンタクト層62を低温バッファ層(不図示)上に成長させる。

次に、トリメチルアルミニウム（TMA）も反応炉内に供給しながら、厚さ約 $0.7\text{ }\mu\text{m}$ でSi不純物濃度が $5\times 10^{17}\text{ cm}^{-3}$ のn型 $\text{Al}_{0.07}\text{Ga}_{0.93}\text{N}$ からなるn型クラッド層63をn型コントラクト層62上に成長させる。

5 続いて、厚さ約 $120\text{ nm}$ でSi不純物濃度が約 $1\times 10^{18}\text{ cm}^{-3}$ のn型GaNよりなる第1光ガイド層64を成長させる。その後、反応炉の温度を約 $800^\circ\text{C}$ にまで降下させ、キャリアガスを水素から窒素に変更する。こうして、トリメチルインジウム（TM<sub>I</sub>）とTMGを供給して厚さが約 $3\text{ nm}$ の $\text{In}_{0.1}\text{Ga}_{0.9}\text{N}$ からなる量子井戸65、67、69と、厚さが約 $9\text{ nm}$ のGaNバリア層66、68からなる多重量子井戸活性層を交互に成長する。

次に、活性層へのp型ドーパント拡散を抑制するため、厚さが約 $50\text{ nm}$ のアンドープGaN層からなるキャップ層70を成長する。そして、再び反応炉内の温度を約 $1000^\circ\text{C}$ にまで上昇し、キャリアガスを窒素から水素に戻した後、p型ドーパントであるビスシクロペンタジエニルマグネシウム（ $\text{Cp}_2\text{Mg}$ ）ガスを供給しながら、厚さが約 $20\text{ nm}$ でMg不純物濃度が $5\times 10^{17}\text{ cm}^{-3}$ のp型 $\text{Al}_{0.18}\text{Ga}_{0.82}\text{N}$ よりなるキャップ層71を成長する。

この後、厚さが約 $120\text{ nm}$ でMg不純物濃度が $1\times 10^{18}\text{ cm}^{-3}$ のp型GaNよりなる第2光ガイド層72aを成長する。

ここまで、基板61の（0001）面上に各半導体層を連続的に成長させる。言い換えると、エッチングによる半導体層のパターンングは全く行なわれてない。このため、各半導体層の厚さは基板

61の位置によらず略一様であり、図1に示すn型電極80が設けられる部分はまだ形成されていない。

次に、図2を参照する。図2は、簡単化のため、基板61、n型コンタクト層62、およびn型クラッド層63の記載を省略し、n型GaN光ガイド層64から上の部分のみを示している。後に参照する図3から図10においても、同様である。

図2に示すように、最上部に第2光ガイド層72aが形成された状態の基板61を反応炉から一旦取り出す。この後、図3に示すように、p型GaN層72a上に選択成長用の絶縁膜73を形成する。絶縁膜73は、例えばプラズマCVD装置を用いて堆積されたSiO<sub>2</sub>から形成され、その厚さは10～200nm、例えば40nm程度に設定され得る。

次に、図4に示すように、絶縁膜73上にレジスト膜74を塗布した後、フォトリソグラフィ工程における露光・現像により、レジスト膜74をパターニングする。図5は、こうしてパターニングされたレジスト膜74の断面形状を示している。パターニングされたレジスト膜74は、共振器長方向に延びるストライプ形状を有している。図5は、多数のストライプのうちの1つの断面のみを示している。本実施形態で形成するレジスト膜74のストライプパターンは、200～1000μm、例えば500μmの周期でストライプが形成された平面レイアウトを有している。本実施形態における各ストライプ幅は、3μmに設定されており、基板61から除去され

たレジスト部分（開口部）の幅（共振器長方向に垂直なサイズ）は、約 $500\text{ }\mu\text{m}$ である。

本実施形態では、パターニングされたレジスト膜74の各ストライプ部分の方向は、共振器長方向（基板1の<1-100>方向）に平行であるが、ストライプの幅は共振器長方向に沿って一様である必要はない。共振器端面の部分で他の部分よりも幅狭に形成される場合がある。

この後、絶縁膜73のうち、レジスト膜74によって覆われていない露出部分をフッ酸溶液のウエットエッチングで除去し、図6に示すように、p型GaN層72aの上面を露出させる。続いて、図7に示すように、アセトンなどの有機溶液によってレジスト膜74を除去する。このようにしてパターニングされた絶縁膜73は、選択成長の「マスク層」として機能する。

この後、n型電流狭搾層として機能する半導体層を選択的に成長させるため、ストライプ状にパターニングされた絶縁膜73の堆積された基板61を、MOVPE装置の反応炉内のサセプタに再度保持し、反応炉を真空排気する。いったん反応炉から取り出されマスク層などが形成された基板上に半導体層を成長させる場合、その成長を「再成長」と称する場合がある。

続いて、反応炉内を圧力 $200\text{ Torr}$ の水素雰囲気で満たし、反応炉の温度を約 $1000^{\circ}\text{C}$ にまで上昇させる。こうして、図8に示すように、厚さ約 $200\text{ nm}$ でSi不純物濃度が $5\times 10^{17}\text{ cm}^{-3}$

$m^{-3}$  の n 型  $Al_{0.04}Ga_{0.96}N$  からなる電流狭窄層 75 を成長する。

選択成長条件のもとで、電流狭窄層 75 は絶縁膜 73 上に成長せず、 p 型 GaN 層 72a の露出した表面上にのみ選択的に成長する。

5 電流狭窄層 75 は、半導体レーザの動作時において、活性層への正孔注入を規制する機能を有する。このため、正孔注入は、電流狭窄層 75 が存在しないストライプ状領域を介して生じることになる。この結果、電流の流れが電流狭窄層 75 によって幅の狭い流域に狭窄されることになる。狭窄される電流の幅は、電流狭窄層 75 におけるストライプ状開口部の幅によって規定される。そして、電流狭窄層 75 におけるストライプ状開口部の幅は、選択成長のマスク層（パターニングされた絶縁膜 73）の幅および選択成長条件によつて制御可能である。

10 電流狭窄層 75 の厚さは、最低でも  $100\text{ nm}$  は必要である。電流狭窄層 75 が薄すぎると、電流狭窄層 75 の上面から内部に注入された正孔が下方に拡散し、電流が電流狭窄層 75 中を流れてしまうことになる。このような正孔注入および拡散電流を充分に抑制するためには、電流狭窄層 75 の厚さを、正孔の拡散長程度またはそれ以上の大きさに設定することが好ましい。

15 硼化ガリウム (GaAs) や燐化インジウム (InP) 等の他の III-V 属化合物半導体の場合、その正孔拡散長は  $1\text{ }\mu\text{m}$  程度である。このため、これらの III-V 属化合物半導体から電流狭窄

層を形成した場合は、その厚さを  $1 \mu\text{m}$  程度またはそれ以上にすることが望ましい。

これに対して、GaN系半導体の場合、正孔の有効質量が大きいため、その拡散長が  $0.2 \mu\text{m}$  程度と短い。したがって、本実施形態のように、AlGaNからなる電流狭窄層75の厚さを  $200 \text{ nm}$  に設定することが可能になる。本実施形態における電流狭窄層75の好ましい厚さ範囲は、 $0.1 \sim 0.5 \mu\text{m}$  である。

なお、砒化ガリウム (GaAs) や燐化インジウム (InP) から電流狭窄層75を形成しようとすると、その厚さを  $1 \mu\text{m}$  程度またはそれ以上にする必要がある。そのように厚い層を選択成長法によって形成しようとすると、選択成長中において、電流狭窄層75が絶縁膜73上へ横方向に過度に成長してしまうという問題がある。このような横方向への成長は、Epitaxially Lateral Overgrowth (ELO) と称されている。ELO成長が過度に生じると、電流狭窄層75が絶縁膜73の全面を覆ってしまうため、電流を流すために必要なストライプ状開口部を適切に形成できなくなる。

また、選択成長を行なっている間は、絶縁膜73の表面におけるGaやAlのマイグレーションを促進することが必要になるが、長時間の選択成長を実行していると、マイグレーションが不充分になるため、ELOとは別に、絶縁膜73上に直接的に多結晶（ポリ構造）が形成されやすいという問題がある。

しかしながら、本実施形態では、電流狭窄層75をAlGaNから形成しているため、その厚さを200nm程度またはそれ以下に薄くすることができ、上記問題を解消できる。

後に説明するように、電流狭窄層75を形成した後、p型GaNからなる第2光ガイド層72bの成長が実行される。このとき、電流狭窄層75の厚さに応じた段差がストライプ状開口部に存在する。この段差が大きいと、その上に成長する第2光ガイド層72bに結晶欠陥が誘発されやすいか、本実施形態のように厚さ200nmの電流狭窄層75を用いる場合は、結晶欠陥の少ないp型GaN層72bを再成長できる。

なお、電流狭窄層75の厚さだけではなく、電流狭窄層75における電子濃度を制御することも、活性層への正孔注入を適切に抑制するために重要である。GaNやInP等の他のⅢ-V族化合物半導体の場合は、正孔の拡散長が1μm程度であるため、電流狭窄層における電子濃度(n型ドーパンド濃度)を高く設定することが必要とされる。一方、本実施形態における電流狭窄層75では、正孔拡散長が短いため、その電子濃度も低く設定できる。

GaN系半導体のELO成長は、成長する半導体中のn型ドーパント濃度(例えばSiの濃度)を増加すると、抑制される傾向がある。しかし、本実施形態では、電流狭窄層75におけるn型トーパンド濃度を低く設定できるため、ELO成長を積極的に利用することが可能になる。ELO成長によって電流狭窄層75を横方向に成長させると、ストライプ状開口部の幅をマスク層の幅よりも充分に

狭くすることができる。例えばストライプ幅が $2\text{ }\mu\text{m}$ 以下のマスク層（絶縁膜73）をフォトリソグラフィおよびエッチングによって安定して形成するのは難しいが、本発明の好ましい実施形態によれば、比較的幅の広い絶縁膜73（マスク層）を作製した後、電流狭窄層75を形成するに際して、その選択成長条件を調節することにより、ストライプ状開口部の幅を $2\text{ m}$ 以下に狭くすることが可能である。

本実施形態では、絶縁膜73の幅を $3\text{ }\mu\text{m}$ 程度に設定している。このため、絶縁膜73の表面に飛來したGaおよびAlの供給原子が絶縁膜73上でマイグレートし、成長しつつある電流狭窄層75に容易に達することができる。このことは、絶縁膜73での多結晶（ポリ）の発生を抑制することに大きく寄与する。このようにして絶縁膜73上の多結晶の成長を抑制するという観点からは、絶縁膜73のストライプ幅は、 $3\text{ }\mu\text{m}$ 以下に設定することが好ましい。

上述したように、電流狭窄層75の選択成長条件を調節することにより、電流狭窄層75のうち絶縁膜73上へ横方向に突出する部分の大きさを任意のレベルに制御することができる。本実施形態では、絶縁膜73のストライプ幅を $3\text{ }\mu\text{m}$ に設定しているが、電流狭窄層75のELO成長により、ストライプ状開口部の幅（絶縁膜73の露出領域幅）を $1\text{. }5\text{ }\mu\text{m}$ 程度にしている。これにより、電流注入領域幅が $1\text{. }5\text{ }\mu\text{m}$ 程度に規定される。

こうして本実施形態によれば、動作時におけるレーザ駆動電流の狭搾が適切に制御できるため、発振するレーザ光の水平横モードも高い精度で制御することができる。

本実施形態では、リッジを形成するためにドライエッチングを行なう必要がなく（ドライエッチングフリー）、p型  $Al_{0.18}Ga_{0.82}N$  キャップ層71およびp型 GaN光ガイド層72aの厚さを成長時に調節するだけで、「p型半導体残し部分厚さ」を制御できる。このため、水平横モード制御を基板面内で且つプロセスに依存せず容易に設計・制御できることになる。

上記のような電流狭窄層75の作製が完了した後、p型半導体層を結晶表面の全面に成長させるため、基板61を反応炉から一旦取り出す。そして、フッ酸溶液のウェットエッチングによって絶縁膜73を選択的に除去し、図9に示すように、p型GaN層72aを露出させる。

絶縁膜73の一部が電流狭窄層75によって覆われていたため、絶縁膜73の除去により、電流狭窄層75のオーバーハングした部分の下に空隙が形成される。

図21(a)は、絶縁膜73を除去した後の状態を示す断面図である。電流狭窄層75のうち、絶縁膜73上に伸びた部分（突出部）75bの横方向サイズを「W1」で示している。突出部75bの底面と第2光ガイド層72aの表面との間には隙間が存在し、その隙間は絶縁膜73の厚さによって規定されている。すなわち、絶

縁膜73の厚さが40nmであれば、上記隙間の厚さ（高さ）も40nmに等しい。

なお、絶縁膜73を異方性の高いエッチングによって除去する場合は、突出部75bの下方に絶縁膜73の一部が残存することになる。このようなエッチングを行なうと、放熱性が低下するため、レーザ素子の寿命が短くなるという不都合が生じる。

2つの向かい合う突出部75bの間隔を「WO」とすると、絶縁膜73の幅は、「WO+2W1」に等しい。ELO成長を制御することにより、W1を高い精度で調節することができる。このため、WOの大きさをフォトリソグラフィおよびエッチングにおける加工寸法よりも小さい値に再現性良く調節することができる。例えばパターニングされた絶縁膜73の幅（=WO+2W1）が3μmである場合において、W1が0.75μmとなるように電流狭窄層75を成長すると、開口部の幅WO=3μm-2×0.75μm=1.5μmとなる。もしも、パターニングされた絶縁膜73の幅を1.5μmに設定していた場合は、ELOを抑制しないと、間隔WOがゼロとなって開口部を適切に形成できないおそれがある。このため、本実施形態によれば、ELOを利用することにより、間隙WOを制御するため、前述したようにパターニングされた絶縁膜75の幅（=WO+2W1）は3μm以上に設定することが好ましい。

次に、基板61をMOVPE装置の反応炉内のサセプタに再度保持し、反応炉を真空排気する。続いて、反応炉内を圧力が200Torrの水素雰囲気とし、温度を約1000°Cにまで上昇させ、厚

さ約20nmでMg不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ のp型GaNからなる第2光ガイド層72bを基板61の全面上に成長する。

図21(b)および(c)は、第2光ガイド層72bの成長過程を模式的に示す断面図である。本実施形態では、図21(b)に示すように、第2光ガイド層72bのうち、第1光ガイド層72aの表面に成長する部分72b'が存在する。この部分72b'は、図21(c)に示すように、やがて電流狭窄層75上に成長する第2光ガイド層72bと一体化する。部分72b'の厚さが、電流狭窄層75の突出部75bの下の隙間と同程度となると、幅W0の開口部は部分72b'によって塞がれことになる。このため、突出部75bと第2光ガイド層72aと間に存在する隙間は、第2光ガイド層72bによって完全には埋め尽くされず、突出部75bと第2光ガイド層72aと間には最終的に空隙が残ることになる。

上記の空隙が形成されるため、本実施形態では、第2光ガイド層72aと第2光ガイド層72bとが接触する部分の幅W2(図21(c))を絶縁膜73の幅よりも小さくすることができる。空隙部分は、半導体よりも高い絶縁性を有し、正孔注入の高い障壁となるため、狭い領域に電流を狭窄するのに大きく寄与する。空隙の幅(共振器長に垂直な方向のサイズ)は、例えば0.1~0.5μmの範囲内に設定され得る。また、この空隙の厚さは、絶縁膜73の厚さによって調節されるが、絶縁膜73が厚すぎると、空隙を形成することができなくなる。このため、空隙の厚さは、0.01~0.2μmの範囲内に設定されることが好ましい。

なお、図21(a)から(c)では簡単化のため、第2光ガイド層72bが電流狭窄層75の開口部を完全に塞ぐように厚く形成される場合を記載している。しかしながら、現実には、第2光ガイド層72bを薄く(本実施形態では20nm程度に)形成している。

5 そのような場合、図21(b)に示す状態で第2光ガイド層72bの成長は終了し、その上に上層の半導体層が成長させられることになる。

第2光ガイド層72bを形成した後、図10に示すように、厚さが約0.7μmでMg不純物濃度が $5 \times 10^{17} \text{ cm}^{-3}$ のp型Al<sub>0.07</sub>Ga<sub>0.93</sub>Nよりなるp型クラッド層76を成長した後、厚さが約0.1μmでMg不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ のp型GaNよりなるp型コンタクト層77を成長する。図10では、簡単化のため、第2光ガイド層72bとp型クラッド層76との境界を図示していない。

15 これらの結晶成長(再成長)の後、まずp型半導体層の活性化加熱処理を行う。MOVPE装置の反応炉から基板を取り出し、p型不純物活性化の加熱処理を施すためにアニール炉の中に搬送する。次にアニール炉を真空排気した後、供給量3s1mの窒素ガスを導入して大気圧にした後、750°Cで30分間の加熱処理をおこなう。20 加熱処理後、基板を室温まで降温し、アニール炉から取り出す。

次に、再び図1を参照しながら、残りのプロセスを説明する。

上述した加熱処理が終了した後、n型電極80の形成位置以外をSiO<sub>2</sub>よりなる絶縁膜で覆う。そして、この絶縁膜をエッチング

マスクとして、積層構造の露出部分をドライエッチングによって除去する。このエッチングは、n型コンタクト層62の一部が露出するまで行なう。次に、p型電極79およびn型電極80を形成する領域以外の領域を絶縁膜78で覆う。絶縁膜78は、p側電極79とn側電極80との電気的分離に用いられる。

この後、p型電極79およびn型電極80をそれぞれ蒸着およびリフトオフ法などによって形成する。

以上の説明から明らかなように、本実施形態では、水平横モードの制御に必要なリッジ構造を形成するためのドライエッチングが不要になるため、レーザ構造の加工プロセスが容易・簡略化される。このため、製造歩留まりが上昇し、コストを低下させることができる。

次に、レーザ共振器端面のへき開工程に移る。まず、基板61をサファイア基板の裏面から研磨し、総膜厚を100  $\mu\text{m}$ 程度に薄膜化する。その後、リッジストライプ方向と垂直方向に共振器端面が形成されるように、基板61をへき開装置（不図示）でへき開する。この段階で、へき開端面をレーザ共振器（共振器長：750  $\mu\text{m}$ ）とするバー状態のレーザ素子を作製することができる。

次に、レーザ共振器の後端面に高反射膜コートをおこなう。高反射膜は、例えば、SiO<sub>2</sub>およびTiO<sub>2</sub>の3対から構成される誘電体多層膜構造を有している。

最後に、バー状態のレーザ素子の2次へき開をおこなってレーザチップに分離して、レーザキャンにロサイドダウンで実装する。実

装時には、レーザチップを炭化珪素（S i C）からなるサブマウントに半田を介して実装する。

#### [レーザ素子特性]

上記の製造方法によって作製されたレーザ素子は、室温で連続発振を実現できた。閾値電流、スロープ効率、および発振波長は、それぞれ、30mA、1.2W/A、405nmであった。電流一光出力特性のキンクレベルは100mW以上であった。

本実施形態のレーザ素子における電流一光出力特性を図18に示す。本実施形態に係るレーザ素子では、100mW程度の高光出力動作でも水平横モードが安定であることがわかる。このことは、選択成長技術によって形成した電流狭窄層75により、横モードの制御が充分に行なわれていることを示している。

さらに、遠視野像（FFP）を評価すると、 $\theta_{//}$ （基板平行方向）は9°、 $\theta_{\perp}$ （基板垂直方向）は22°、アスペクト比（ $\theta_{\perp}/\theta_{//}$ ）は2.4であった。光ディスク用の半導体レーザ素子は、アスペクト比が3未満であることを要求されている。本実施形態のレーザ素子は、この要求を満たしている。

#### [比較例]

以下、図面を参照しながら、半導体レーザの比較例1～3を説明する。

図11は、現在、最も一般的なGaN系レーザの断面図である。図11の半導体レーザ（比較例1）と図1の半導体レーザ（実施形態）とを比較すると、基板61からキャップ層71までの構造は共

通している。両者で異なる点は、キャップ層71の上に形成される上部積層構造にある。このため、以下では、この上部積層構造およびその作製方法について、比較例1を説明することにする。

この比較例1における上部積層構造は、以下のようにして作製さ

れる。

まず、キャップ層71までの積層構造を基板61上に形成した後、図12に示すように、引き続き、キャップ層71の上に光ガイド層72、p型クラッド層76、およびp型コンタクト層77を成長する。図12においては、簡単のため、基板61、コンタクト層62、クラッド層63の記載を省略している。図13から図17においても同様である。

次に、p型半導体層の活性化加熱処理を行う。具体的には、MOCVD装置の反応炉から基板を取り出し、p型不純物活性化の加熱処理を施すためにアニール炉の中に搬送する。次にアニール炉を真空排気した後、供給量3s1mの窒素ガスを導入して大気圧にした後、750°Cで30分間の加熱処理をおこなう。加熱処理後、基板を室温まで降温し、アニール炉から取り出す。

次に、図12に示すように、p型コンタクト層77のリッジ形成領域上にSiO<sub>2</sub>のマスク層25を形成する。リッジ幅は2μm程度に設定する。

この後、リッジ形成位置以外をドライエッチング装置でエッチングし、図13に示すように、活性層69上のp型半導体層の残し部分厚さを140nm程度にする。このリッジ構造形成により、Ga

N系レーザの注入電流狭搾と水平横モード制御が可能になる。この後、n型電極の形成位置以外をSiO<sub>2</sub>よりなる絶縁膜27で覆う。

その後、図11に示すように、ドライエッチングでn型コンタクト層62の一部を露出させる。ドライエッチングにより露出した面のうち、n型電極を形成する領域以外の領域をSiO<sub>2</sub>からなる絶縁膜で覆う。  
5

次に、図15に示すように、絶縁膜27のうちリッジ上に位置する部分のみをフッ酸溶液で除去した後、p型電極79としてNiとPtとAuを蒸着する。この後、図11に示すように、n型電極80としてTiとAlを蒸着する。この後は、実施形態と同様の処理を行い、比較例1を作製する。  
10

このようにして作製した比較例1は、電流注入により室温連続発振に到った。この際の閾値電流、スロープ効率および発振波長は各々35mA、1.2W/A、405nmであった。また、電流一光出力特性のキンクレベルは100mW以上であった。比較例1の電流一光出力特性を図19に示す。  
15

この結果から、比較例1では100mW程度の高光出力動作でも水平横モードが安定であり、ドライエッチングによるp型半導体の残し部分厚さを制御することにより横モード制御が達成されていることがわかる。さらに、遠視野像(FFP)を評価すると、θ//は9°、θ⊥は22°、アスペクト比(θ⊥/θ//)は2.4である。光ディスク用としてアスペクト比は3未満が要求されているため、比較例1では、この要求を満たしていることになる。次に、30m  
20

Wの高光出力での室温一定光出力（A P C）寿命試験を実施した。

比較例1では0.05mA/h程度の劣化率であり、1000時間以上の安定動作を示した。

以上のことからわかるように、比較例1では、キンクレベル：100mW以上、アスペクト比：2.4、長寿命：1000時間以上であり、次世代の高密度・高速記録光ディスク用光源としての要求を満足しているものと思われる。ただし、比較例1の電流狭窄と水平横モード制御がドライエッチング時間制御により実施しているため、プロセス・レーザ特性の再現性、および歩留りに大きな課題があり、コスト高騰を招く要因となっている。

以下、比較例1の製造方法において、リッジ高さの制御が困難であることを説明する。

リッジ高さの制御は、基板面内全体にわたる結晶成長の制御とドライエッチングの制御の両方を同時に必要とする。しかも、ドライエッチングに対するストップ層として機能する結晶成長層が存在しないため、エッチング時間の調節のみによってエッチング深さを制御することが余儀なくされている。これらの理由により、リッジの高さの制御は極めて困難である。

以下、図15に示すようなリッジの形状がドライエッチングのプロセス変動に起因して理想的な形状から変化した半導体レーザ素子の例（比較例2および比較例3）を説明する。

図16は、リッジ形成プロセスのドライエッチング時間が設定値よりも長くなってしまった場合の素子構造を示している。一方、図

17は、そのドライエッチング時間が設定値よりも短くなってしまった場合の素子構造を示している。

なお、上記の各ドライエッチング時間によって決まるリッジ高さは、いずれも、現在最も一般的なGaN系レーザの製造における基板面内で生じるリッジ高さ分布の範囲内に入っている。すなわち、  
5 図16や図17に示すような素子形状が半導体レーザの生産現場で生じている。

まず、図16を参照する。図16に示す比較例2では、活性層上に存在するp型半導体領域の厚さ（p型半導体残し部分厚さ）は、  
10 設定値（140nm）よりも小さい。一方、図17に示す比較例3では、活性層上の「p型半導体残し部分厚さ」は設定値（140nm）よりも大きい。

上記比較例2および比較例3の素子でも、電流注入により、室温連続発振を実現することができた。比較例2の素子における閾値電流およびスロープ効率は、それぞれ、40mAおよび1.0W/Aであった。一方、比較例3の素子における閾値電流およびスロープ効率は各々60mAおよび0.7W/Aであった。前述の比較例1の素子と比較すると、比較例2の素子では、閾値電流が増加し、スロープ効率が低下している。この理由は、ドライエッチングによる  
15 p型半導体残し部分厚さが設定値よりも小さくなり、活性層にエッティングダメージが及んだためであると思われる。

一方、比較例3の素子における閾値電流の増加およびスロープ効率の低下が顕著である。これは、p型半導体残し部分厚さが設定値

よりも大きくなり、リッジ構造部から横に大きく広がって流れる無効（リーク）電流が増加したことに起因している。

電流一光出力特性のキンクレベルを比較すると、比較例1および比較例3の素子では、100mW以上でキンクが発生しているが、  
5 比較例2の素子では、図20に示されるように、30mWという低いレベルでキンクが発生している。この理由は、比較例2の素子では、リッジ直下の領域とリッジ直下以外の領域との間における実効屈折率差（ $\Delta n$ ）が過度に増加し、光の横方向閉込めが強化され過ぎる。このため、水平横モードがかえって不安定になり、キンクレベルが低下したものと推測される。  
10

また、FFPを評価すると、比較例2の素子ではアスペクト比：1.8（ $\theta_{//}$ ：12°、 $\theta_{\perp}$ ：22°）、比較例3の素子ではアスペクト比：3.7（ $\theta_{//}$ ：6°、 $\theta_{\perp}$ ：22°）である。比較例3のように、アスペクト比は3以上になると、光ディスク装置の光源として不向きである。  
15

次に、30mWの高光出力での室温一定光出力（APC）寿命試験を実施した。比較例1では0.05mA/h程度の劣化率であり、1000時間以上の安定動作を示したが、比較例2の素子では、活性層にドライエッチングダメージが存在するために、劣化率が大き  
20 <（0.2mA/h程度）、600時間程度の寿命時間であった。一方、比較例3の素子では、動作電流が大きく消費電力が大きいために、寿命時間が短く300時間程度であった。

以上のことから、ドライエッチング技術でリッジ構造を形成し、水平横モードを制御する従来のGaN系レーザでは、基板面内およびプロセスごとのレーザ特性の再現性、および歩留りに大きな課題があり、コスト高騰を招く要因となっていることがわかる。

5 なお、図1に示す本発明の実施形態に係る半導体レーザでは、比較例1と同様に、キックレベル：100mW以上、アスペクト比：2.4、長寿命：1000時間以上であり、次世代の高密度・高速記録光ディスク用光源としての要求を満足している。

また、実施形態に係る半導体レーザでは、前述のように、結晶成長の制御のみで電流狭窄および水平横モードの制御が可能になるため、比較例について説明した上記課題が大きく改善され、さらにプロセス工程も大幅に容易化・簡略化されるために、高歩留りが実現でき、低コスト化に大きく寄与する。

10 なお、本発明の好ましい本実施形態では、電流狭窄層75をn型Al<sub>0.04</sub>Ga<sub>0.96</sub>Nから形成しているが、電流狭窄層75の屈折率は結晶成長膜の混晶組成により任意に変化させることが可能である。このため、本発明の好ましい実施形態では、ロスガイド構造または実屈折率ガイド構造に容易に設計することが可能である。

15 また、本実施形態の半導体レーザは、実屈折率ガイド構造を有しているため、比較例の半導体レーザに比べて、注入電流が狭窄された領域の活性層の外側を光吸収層として設計・作用させることができという利点もある。このため、相対強度雑音（RIN）を1.

5 mW～100 mWの光出力範囲で-125 dB/Hz以下程度に低減することができる。

なお、本実施形態はGaN系半導体発光素子であったが、砒化ガリウム(GaAs)、燐化インジウム(InP)等の他のⅢ-V族化合物半導体発光素子においても、同様に適用することができる。

また、本実施形態では、基板としてサファイア基板を用いているが、本発明の基板はこれに限定されない。SiC基板やGaN系半導体基板を用いても良い。

本実施形態では、電流狭窄層75を形成する工程で絶縁膜73を選択成長のマスク層として用いているが、マスク層として機能するものであれば、その材料は絶縁膜に限定されない。

本実施形態では、電流狭窄層75上に半導体層を再成長させる前に、絶縁膜75を完全に除去しているが、電流狭窄層75の突出部75aの下方に絶縁膜75の一部が残存しても良い。

#### 産業上の利用可能性

本発明によれば、青紫光から紫外光に及ぶ短波長領域の半導体発光素子が提供され、例えば光ディスク駆動装置の光源として広く採用され得る。

## 請求の範囲

## 1. 第1のⅢ-V族化合物半導体と、

前記第1のⅢ-V族化合物半導体の表面における選択された  
5 領域上に成長した第2のⅢ-V族化合物半導体から形成され、  
共振器長方向に延びるストライプ状開口部を有する電流狭窄層  
と、

前記ストライプ状開口部を介して露出する前記第1のⅢ-V  
族化合物半導体の表面、および前記電流狭窄層の表面を覆う第  
10 3のⅢ-V族化合物半導体と、

を備えた半導体発光素子。

2. 前記電流狭窄層は、前記ストライプ状開口部に向かってオ  
ーバーハングする一対の突出部を有している請求項1に記載の半導  
15 体発光素子。

3. 前記電流狭窄層における一対の突出部の各々と前記第1のⅢ  
-V族化合物半導体の前記表面の一部との間には空隙部が形成され  
ている請求項2に記載の半導体発光素子。

20

4. 前記空隙部は、10nm以上の高さと、0.1μm以  
上の幅を有している、請求項3に記載の半導体発光素子。

5. 前記第3のⅢ-V族化合物半導体のうち、前記ストライプ状開口部を介して前記第1のⅢ-V族化合物半導体の表面と接触する部分の幅は、O. 5  $\mu\text{m}$ 以上3  $\mu\text{m}$ 以下である請求項1から4のいずれかに記載の半導体発光素子。

5

6. 前記第1のⅢ-V族化合物半導体は、活性層を含む積層構造を有している請求項1から5のいずれかに記載の半導体発光素子。

7. 前記Ⅲ-V族化合物半導体は、窒化ガリウム系である、請求項1から6のいずれかに記載の半導体発光素子。

10

8. 前記電流狭窄層は、アルミニウムを含有する窒化ガリウムの層を含んでおり、

前記電流狭窄層の厚さは、O. 1  $\mu\text{m}$ 以上O. 5  $\mu\text{m}$ 以下である請求項7に記載の半導体発光素子。

15

9. 前記第2のⅢ-V族化合物半導体の電気的導電型は、前記第1のⅢ-V族化合物半導体の電気的導電型とは反対である請求項1から8のいずれかに記載の半導体発光素子。

20

10. 前記第3のⅢ-V族化合物半導体の電気的導電型は、前記第1のⅢ-V族化合物半導体の電気的導電型と同じである請求項1から8のいずれかに記載の半導体発光素子。

11. 前記第2のIII-V族化合物半導体の電気的導電型は、n型である請求項9または10に記載の半導体発光素子。

12. ストライプ状のマスク層を第1のIII-V族化合物半導体上に形成する工程（A）と、

前記第1のIII-V族化合物半導体の表面のうち前記マスク層で覆われていない領域上に第2のIII-V族化合物半導体を選択的に成長させることにより、前記マスク層によって規定されるストライプ状開口部を有する電流狭窄層を形成する工程（B）と、

前記マスク層を選択的に除去する工程（C）と、

前記ストライプ状開口部を介して露出する前記第1のIII-V族化合物半導体の表面、および前記電流狭窄層の表面を覆う第3のIII-V族化合物半導体を成長させる工程（D）と、

を備えた半導体発光素子の製造方法。

13. 前記工程（B）は、前記第2のIII-V族化合物半導体を前記マスク層の中央部に向かって横方向に成長させ、それによって前記電流狭窄層に一対の突出部を形成することを含む、請求項12に記載の方法。

14. 前記工程（C）は、前記マスク層のうち前記電流狭窄層の突出部の下方に位置する部分を除去し、前記突出部を前記ストラ

イプ状開口部に向かってオーバーハングさせることを含む、請求項  
13に記載の方法。

15. 前記工程 (D) は、前記第1のⅢ-V族化合物半導体と  
5 前記突出部との間に空隙部を形成することを含む請求項14に記載  
の方法。

16. 前記マスク層の幅を0.5 μm以上3 μm以下に設  
定し、かつ、

10 前記第3のⅢ-V族化合物半導体のうち、前記ストライプ状  
開口部を介して前記第1のⅢ-V族化合物半導体の表面と接觸  
する部分の幅を0.5 μm以上3 μm以下に設定する請求項1  
5に記載の方法。

15 17. 前記第1のⅢ-V族化合物半導体は、活性層を含む積層  
構造を有している請求項12から16のいずれかに記載の方法。

18. 前記Ⅲ-V族化合物半導体は、窒化ガリウム系である、  
請求項12から17のいずれかに記載の方法。

20 19. 前記電流狭窄層は、アルミニウムを含有する窒化ガリウ  
ムの層を含んでおり、前記電流狭窄層の厚さは、0.1 μm以上0.  
5 μm以下である請求項18に記載の方法。

図 1

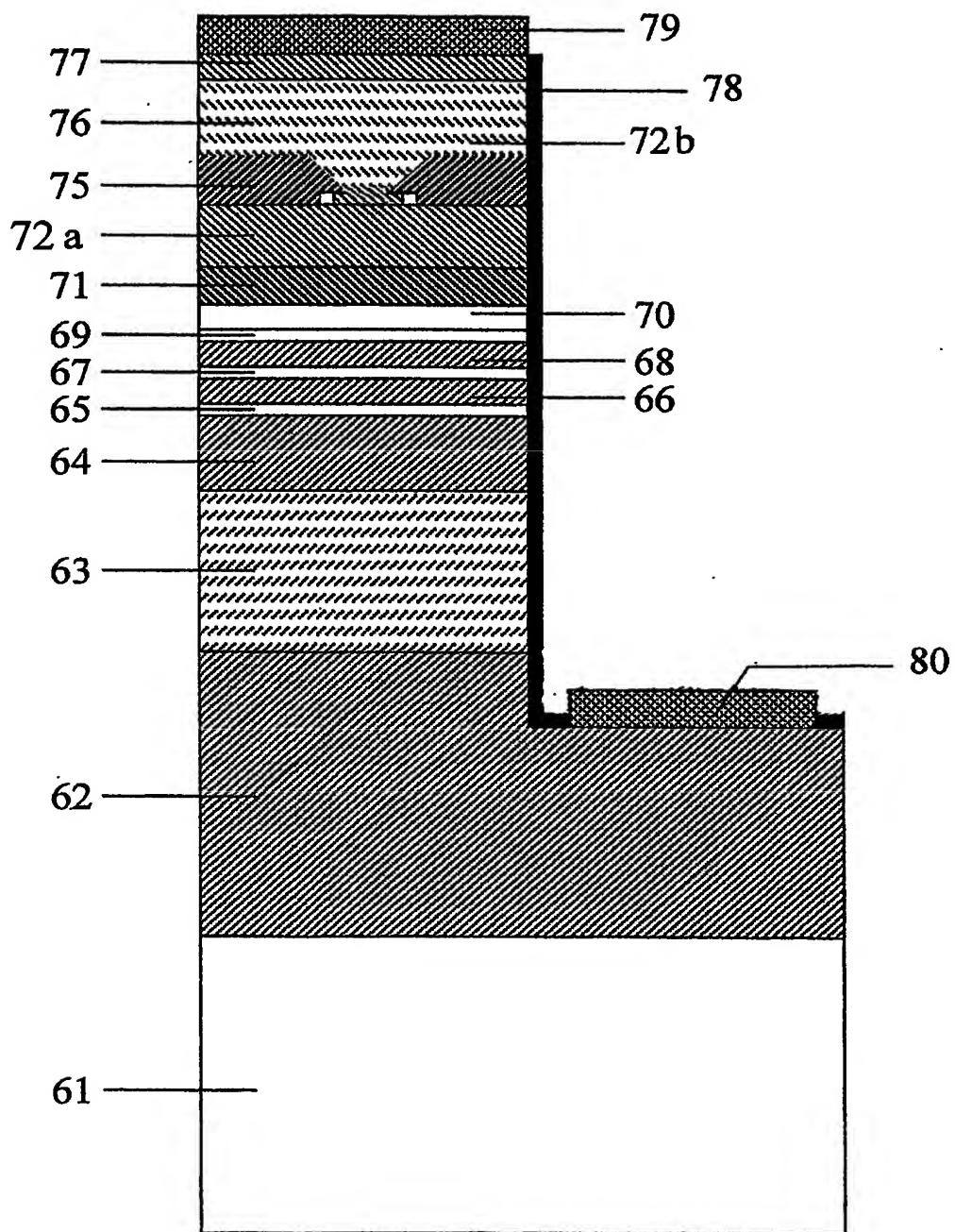


図2

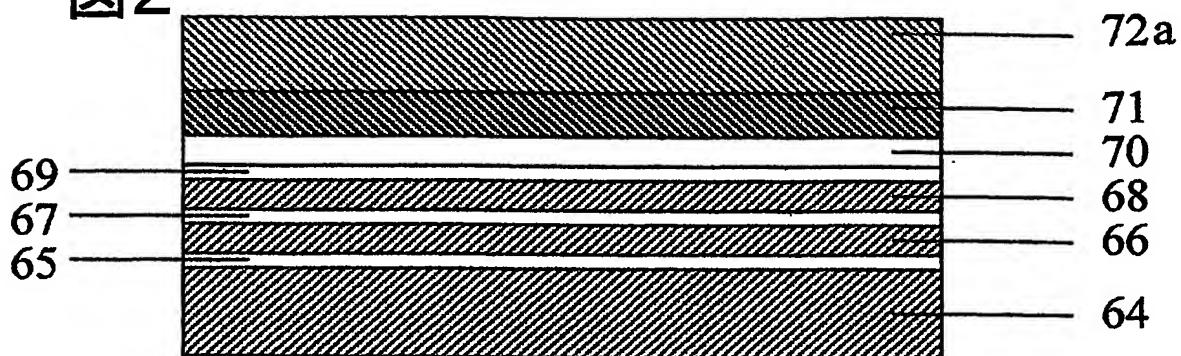


図3

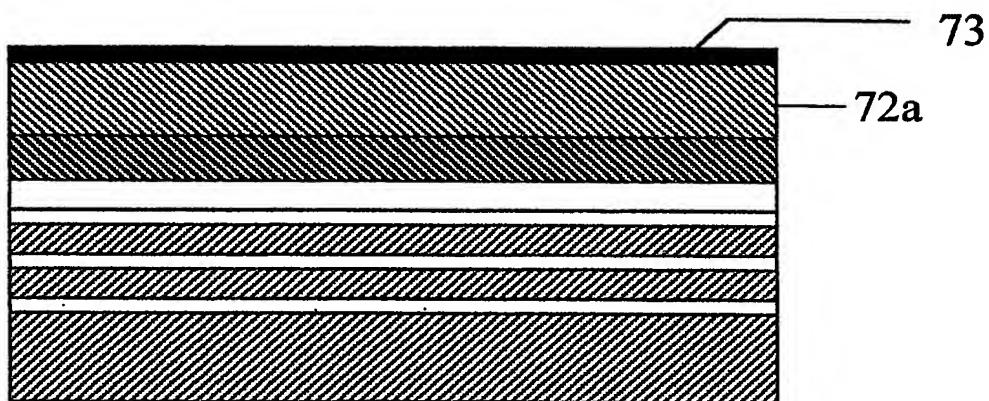


図4

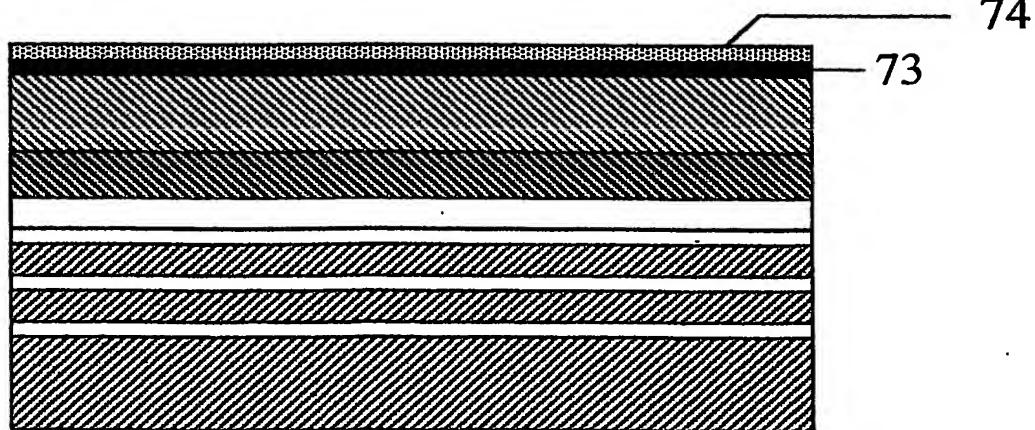


図5

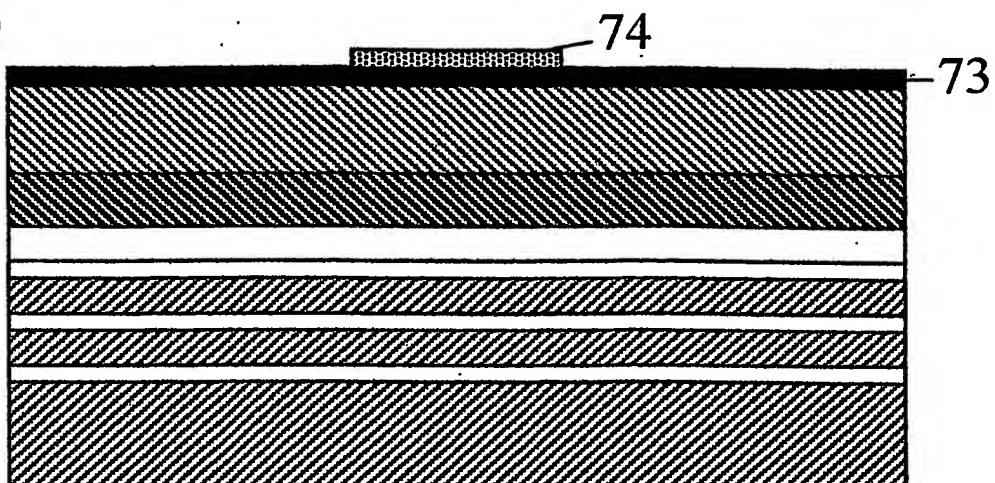


図6

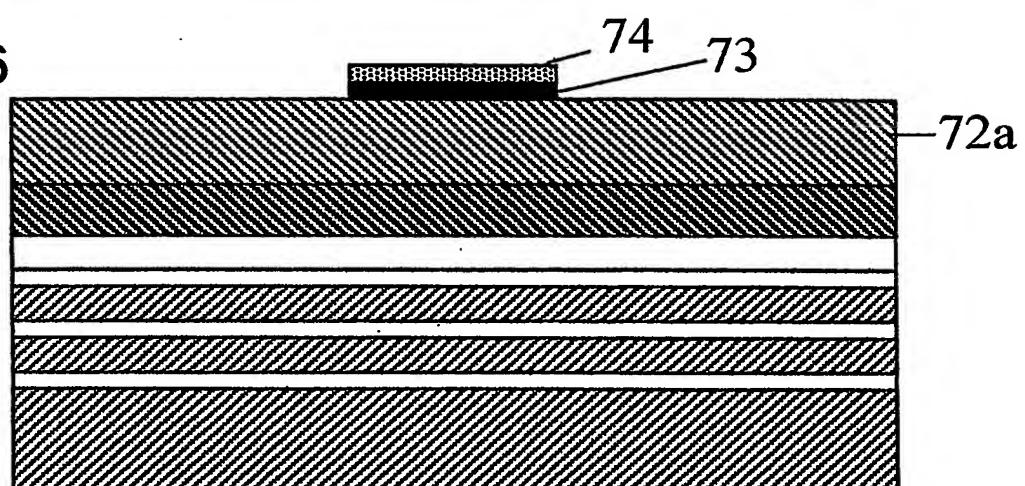


図7

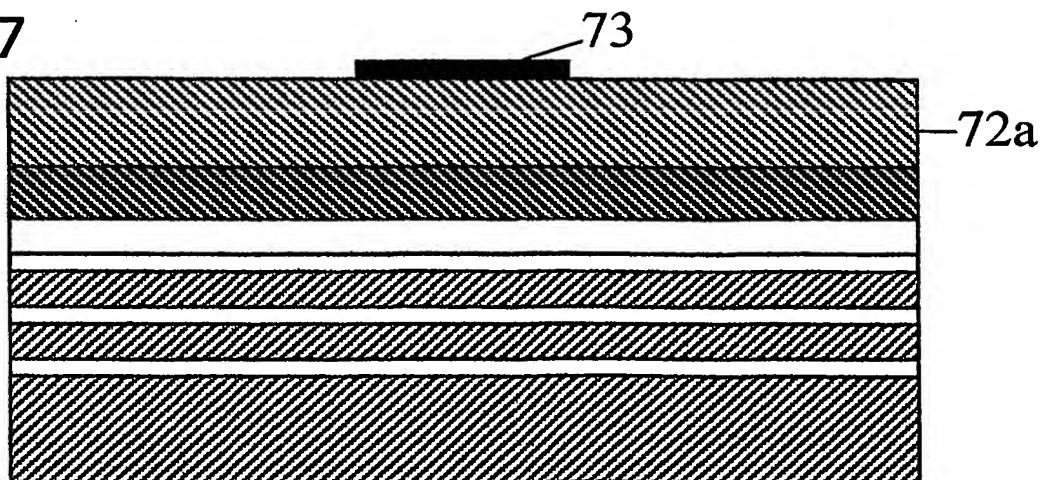


図8

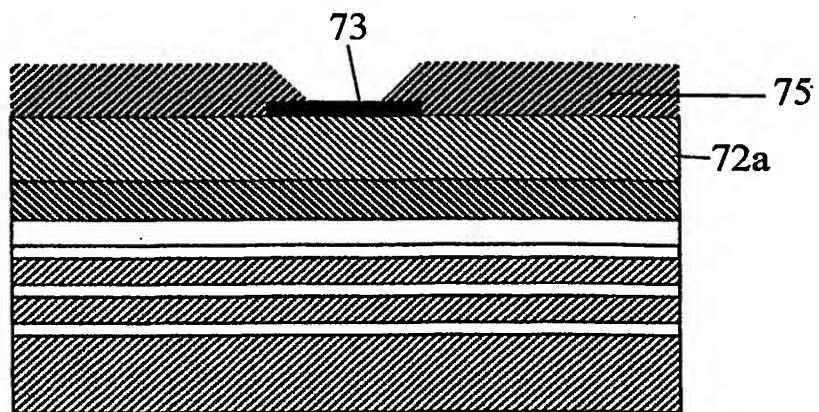


図9

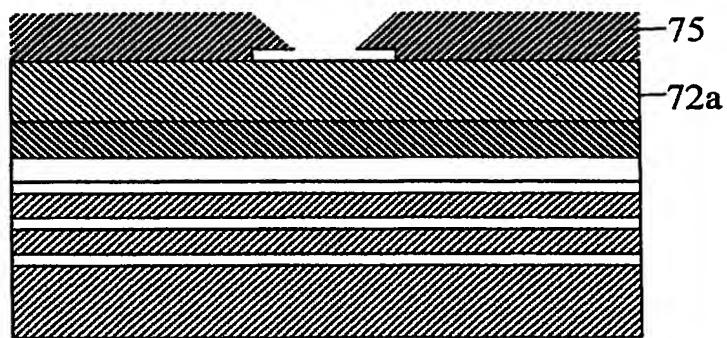


図10

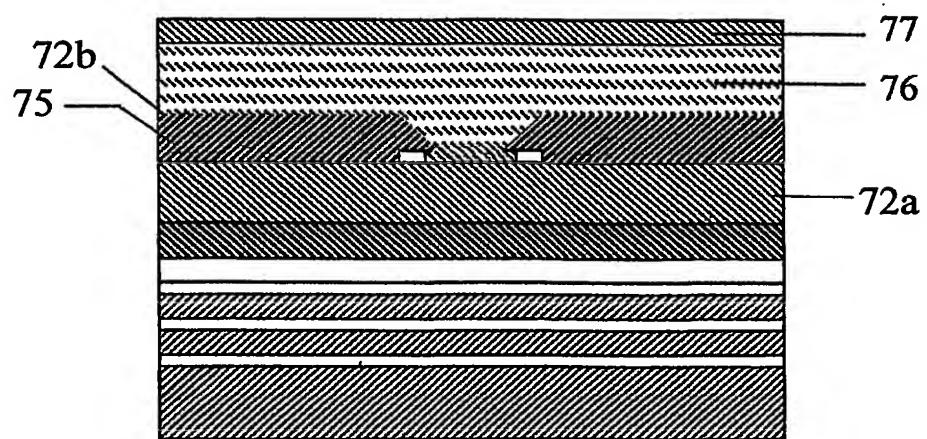


図11

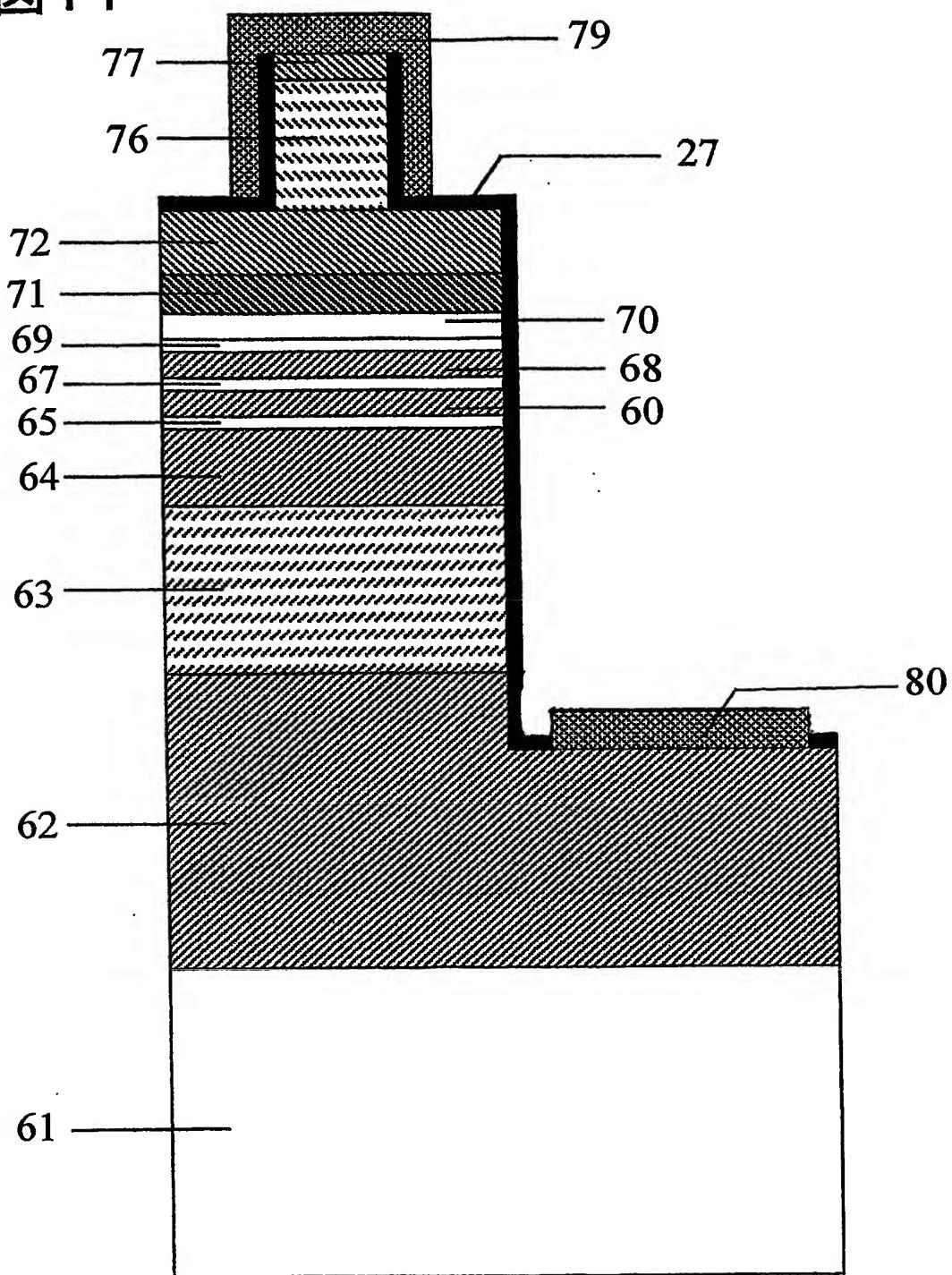


図12

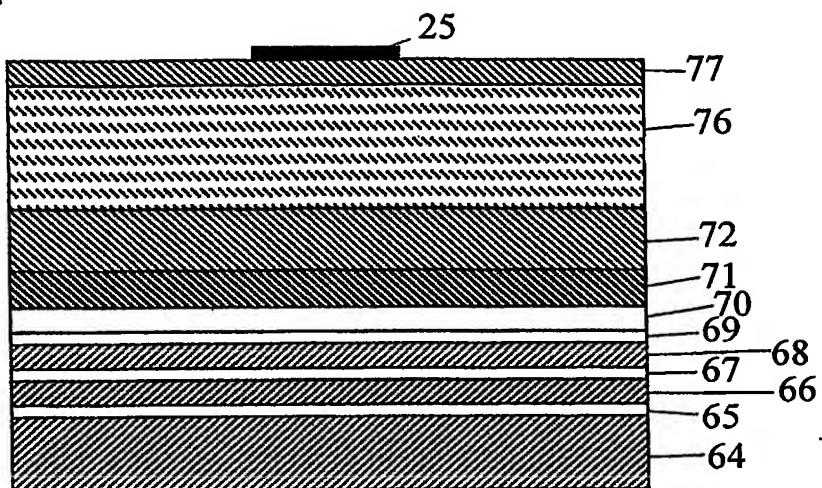


図13

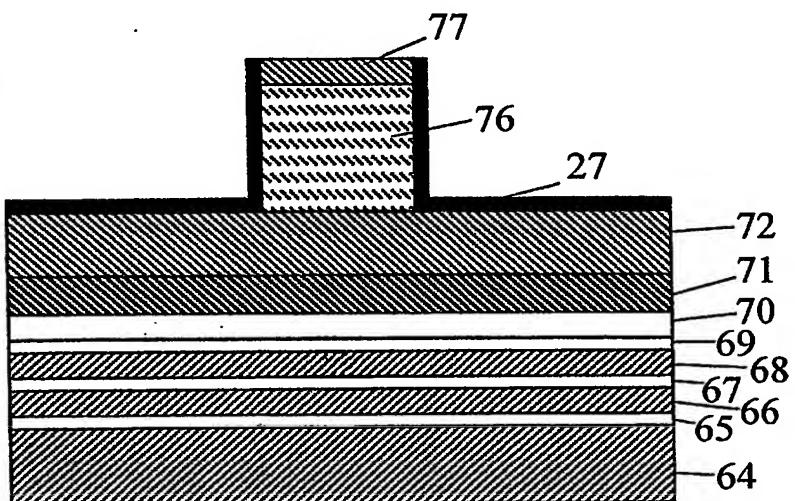


図14

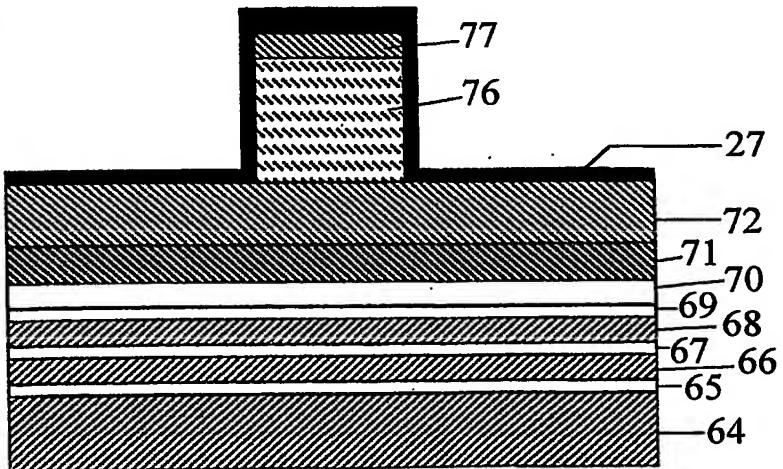


図15

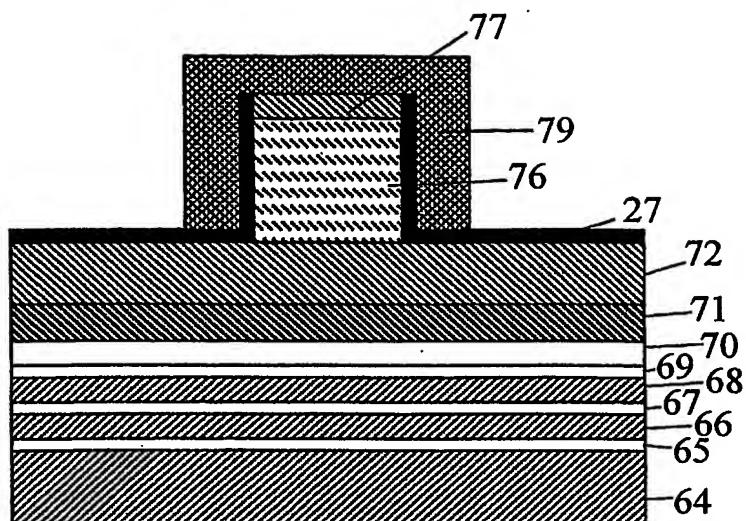


図16

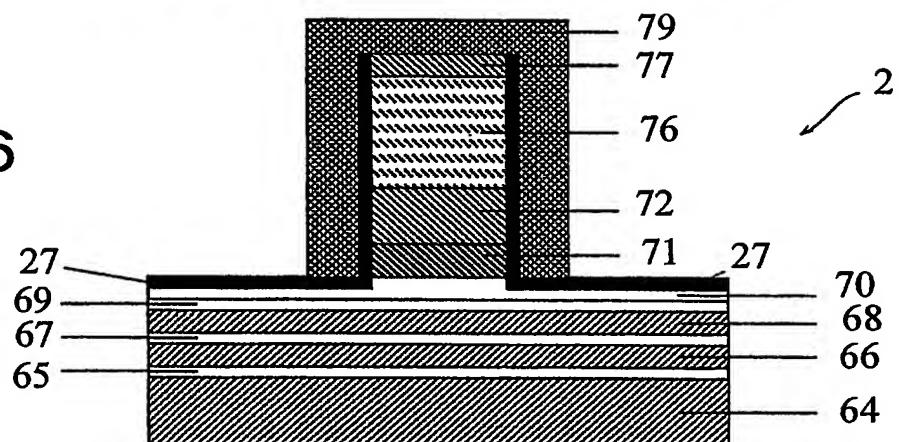


図17

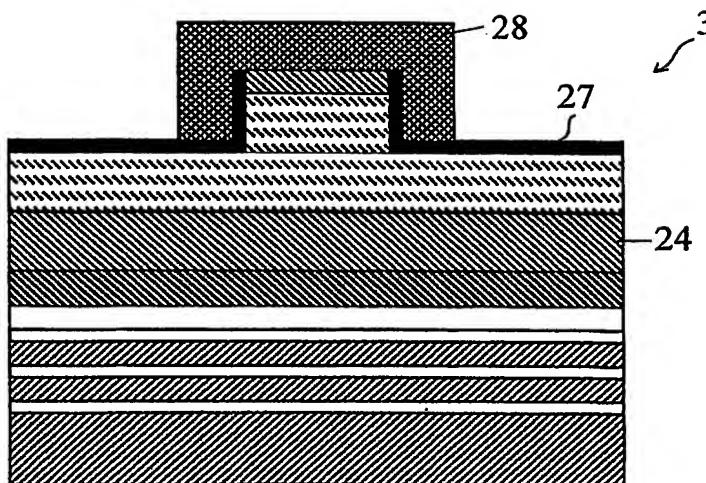


図18

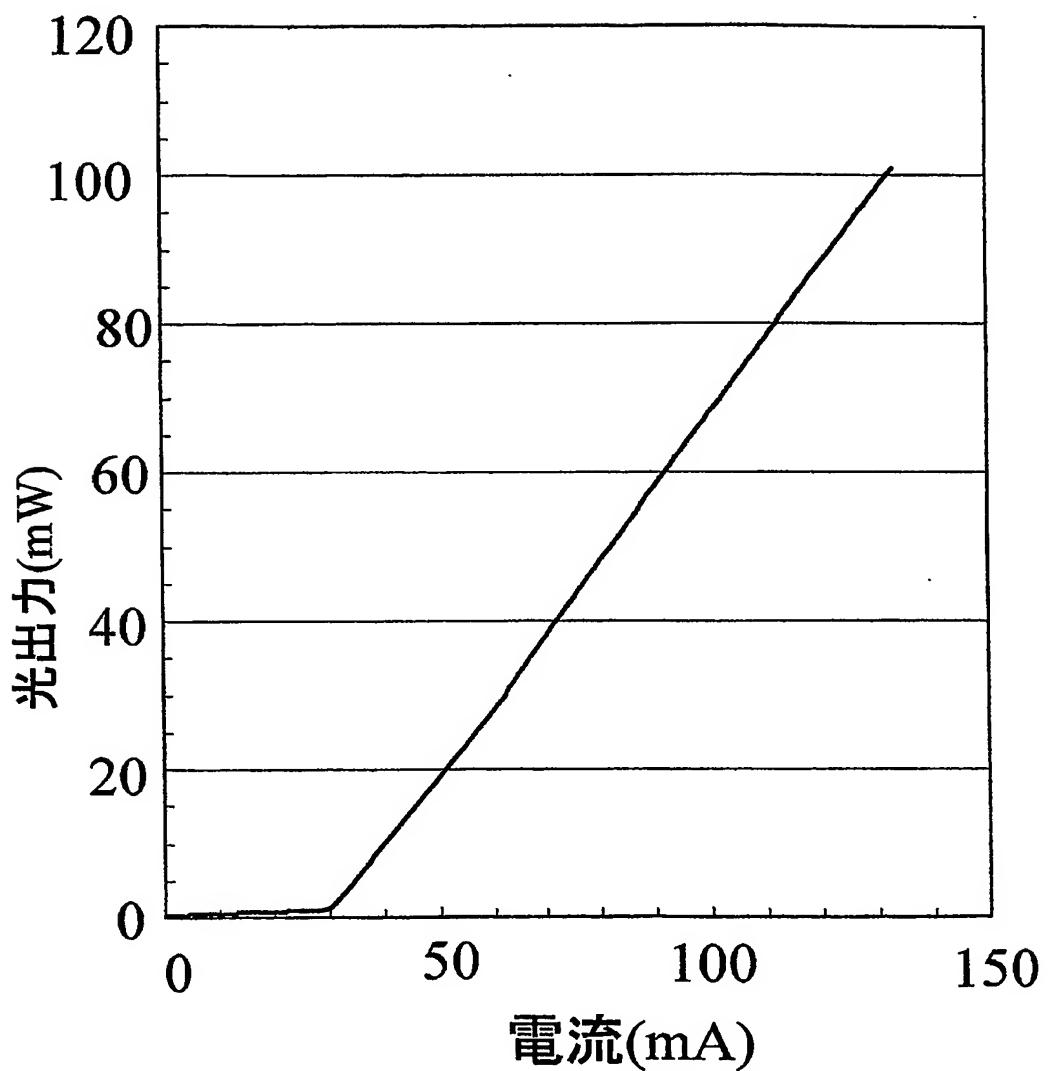


図19

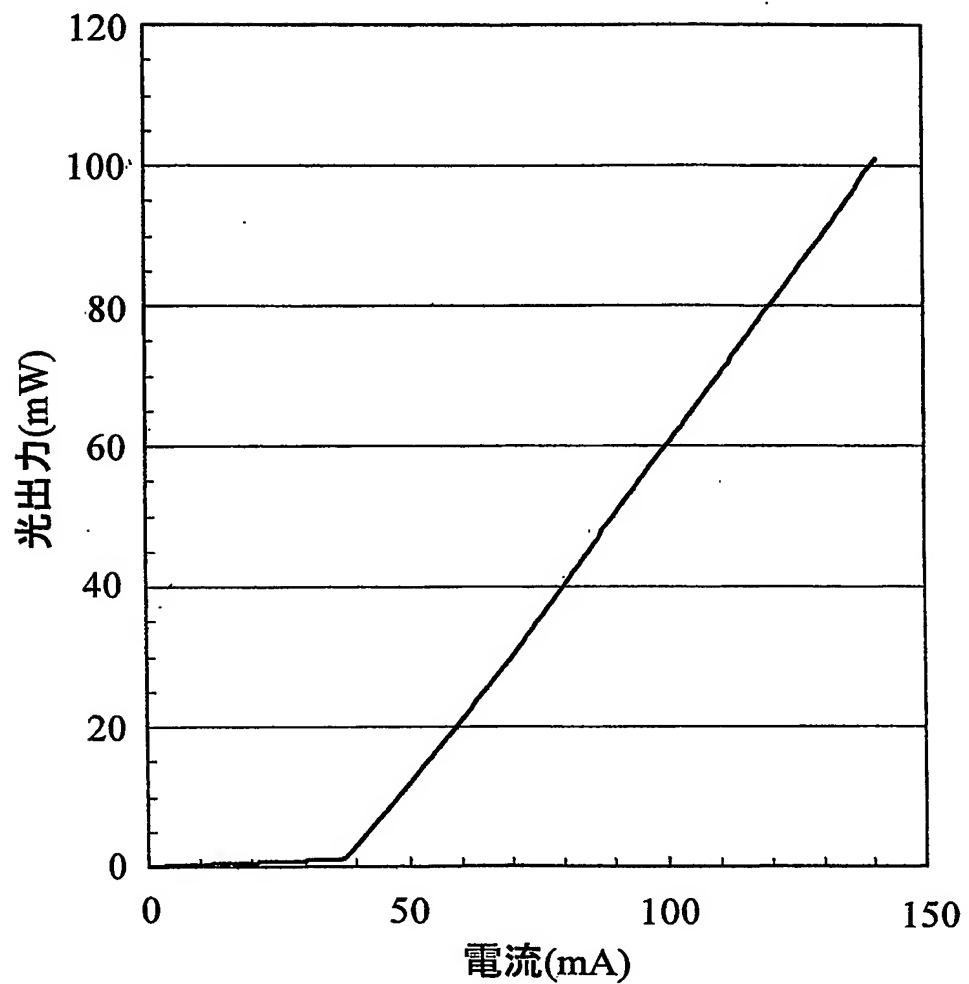


図20

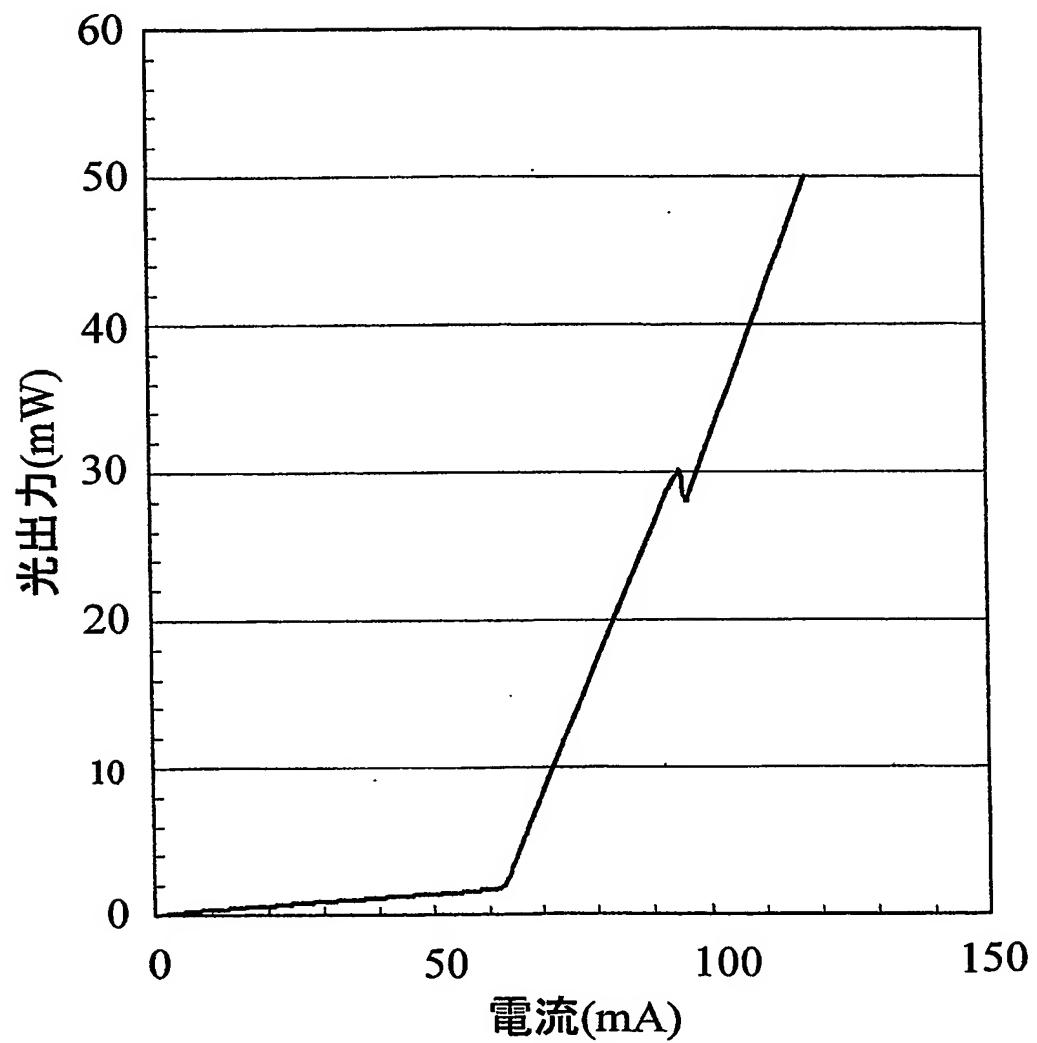
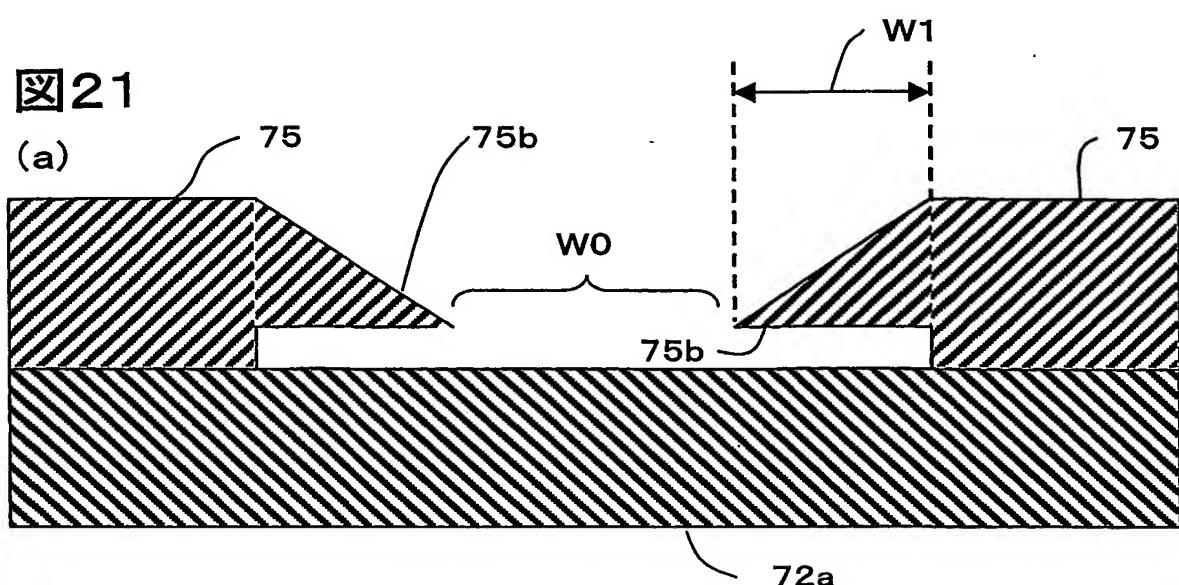
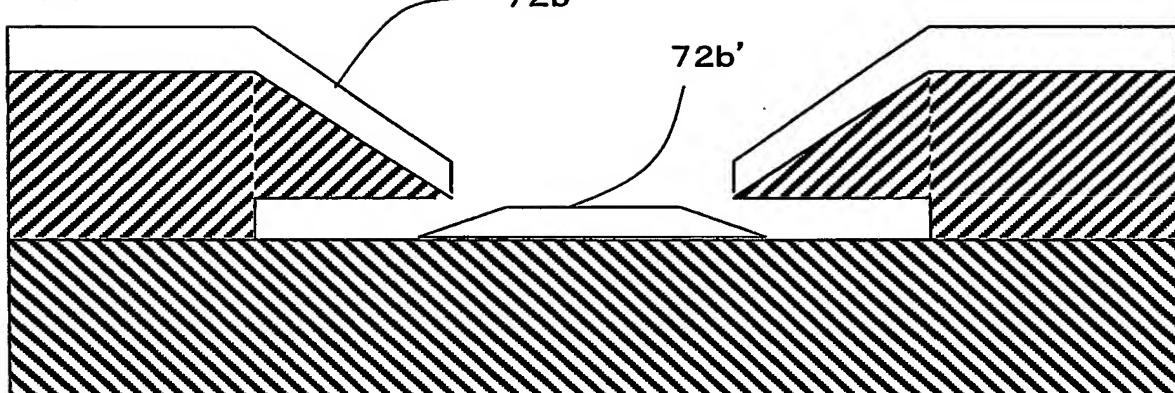


図21

(a)



(b)



(c)

